

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2001-243799**

(43)Date of publication of application : **07.09.2001**

(51)Int.Cl.

G11C 29/00
G01R 31/28
G01R 31/319
G11C 11/401

(21)Application number : **2001-010123**

(71)Applicant : **SAMSUNG ELECTRONICS CO LTD**

(22)Date of filing : **18.01.2001**

(72)Inventor : **KIN TAIKEN
KIM HYEONG-DONG**

(30)Priority

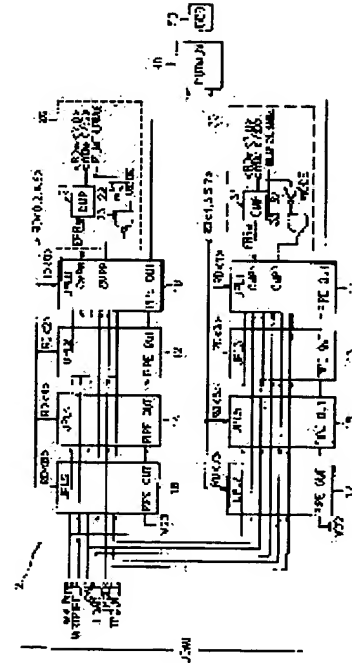
Priority number : **2000 200004675** Priority date : **31.01.2000** Priority country : **KR**

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor memory having pipeline structure in which a data test time can be shortened.

SOLUTION: In a semiconductor memory having pipeline structure in which data of a memory cell selected in a DQ block operated synchronizing with a clock and including plural memory cells are successively outputted to a pad through a data line, the device is provided with a pipeline which is connected to each of data lines and in which many UPL latching data on the data line are connected in series, and which sends out successively data on the data line to the pad with a system in which data of UPL of the pre-stage is transmitted to UPL of post-stage, and a comparison control section which is connected to UPL of the last stage of the pipeline a the time of a test and which couples output signals generated by testing a normal/defective condition of data on the data line to the pad, and a normal/defective condition of the DQ block is verified by an edge of a clock. Thereby, a time required for testing data on the pipeline can be shortened.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-243799
(P2001-243799A)

(43) 公開日 平成13年9月7日(2001.9.7)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード*(参考)
G 1 1 C 29/00	6 7 1	G 1 1 C 29/00	6 7 1 Z
G 0 1 R 31/28		G 0 1 R 31/28	B
31/319			V
G 1 1 C 11/401			R
		G 1 1 C 11/34	3 7 1 A
		審査請求 未請求 請求項の数 8	O L (全 10 頁)

(21) 出願番号 特願2001-10123(P2001-10123)

(22) 出願日 平成13年1月18日(2001.1.18)

(31) 優先権主張番号 2 0 0 0 - 4 6 7 5

(32) 優先日 平成12年1月31日(2000.1.31)

(33) 優先権主張国 韓国 (K R)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 金太顯

大韓民国ソウル特別市瑞草区良才洞395-10番地

(72) 発明者 金炯東

大韓民国京畿道水原市八達区仁溪洞水晶アパート1205号

(74) 代理人 100076428

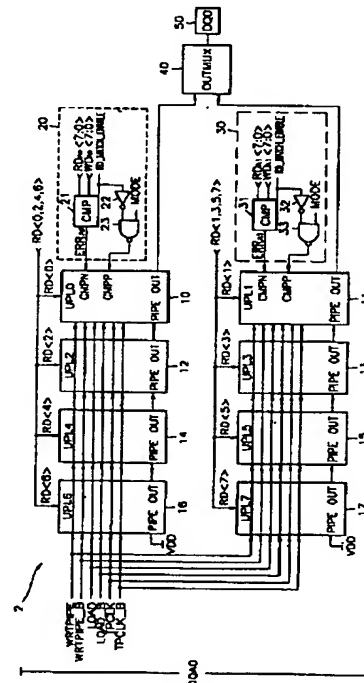
弁理士 大塚 康德 (外3名)

(54) 【発明の名称】 半導体メモリ装置

(57) 【要約】

【課題】 データテスト時間を短縮することができるパイプライン構造の半導体メモリ装置を提供する。

【解決手段】 クロックに同期して動作する、複数のメモリセルを含むDQブロック内で選択されるメモリセルのデータがデータラインを通じてパッドに順に出力されるパイプライン構造を有する半導体メモリ装置において、データラインの各々に連結してデータライン上のデータをラッチするUPLが多数直列に連結され、前段のUPLのデータを後段のUPLに伝送する方式でデータライン上のデータをパッドに順に送り出すパイプラインと、テスト時にパイプラインの最終段のUPLに連結されてデータライン上のデータの良否をテストして生じる出力信号をパッドに連結させる比較制御部とを具備し、クロックのエッジでDQブロックの良否を検証することによりパイプライン上のデータテストのための時間を短縮することができる。



【特許請求の範囲】

【請求項1】 クロックに同期して動作する、複数のメモリセルを含むDQブロック内で選択されるメモリセルのデータがデータラインを通じてパッドに順に出力されるパイプライン構造を有する半導体メモリ装置において、

前記データラインの各々に連結されて前記データライン上のデータをラッチする単位パイプラインセルが多数直列に連結されており、前段の単位パイプラインセルのデータを後段の単位パイプラインセルに伝送しながら前記データライン上のデータを前記パッドに順に送り出すパイプラインと、

テスト時に、前記パイプラインの最終段の単位パイプラインセルに連結されて前記データライン上のデータの良否をテストして生じる出力信号を前記パッドに連結させる比較制御部とを具備し、

前記クロックのエッジで前記DQブロックの良否を検証することを特徴とする半導体メモリ装置。

【請求項2】 前記比較制御部は、前記選択されるメモリセルに書込もうとしたデータと前記メモリセルから読み出されるデータとを比較することを特徴とする請求項1に記載の半導体メモリ装置。

【請求項3】 前記最終段の単位パイプラインセルは、前記テスト時に、前記比較制御部から提供される前記DQブロックが不良であることを示すエラー信号に応じてパイプラインテストの初期に設定された前記出力信号のロジックレベルを反転させることを特徴とする請求項1に記載の半導体メモリ装置。

【請求項4】 クロックに同期して動作する、複数のメモリセルを含むDQブロックを多数有し、前記DQブロック内で選択されるメモリセルのデータがデータラインを通じてパッドに順に出力されるパイプライン構造を有する半導体メモリ装置において、

前記データラインの各々に連結されて前記データライン上のデータをラッチする単位パイプラインセルと、

前記データラインのうち第1群のデータラインに連結された前記単位パイプラインセルが多数直列に連結され、前段の単位パイプラインセルのデータを後段のパイプラインセルに伝送して前記第1群のデータライン上のデータを順に送り出す第1パイプラインセットと、

前記データラインのうちの第2群のデータラインに連結された前記単位パイプラインセルが多数直列に連結され、前段の単位パイプラインセルのデータを後段のパイプラインセルに伝送して前記第2群のデータライン上のデータを順に送り出す第2パイプラインセットと、

テスト時に、前記第1パイプラインセットの最終段の単位パイプラインセルに連結されて前記DQブロックのうち第1のDQブロックから提供される前記データライン上のデータの良否をテストする第1比較制御部と、

テスト時に、前記第2パイプラインセットの最終段の単位パイプラインセルに連結されて前記DQブロックのうち第2のDQブロックから提供される前記データライン上のデータの良否をテストする第2比較制御部とを具備することを特徴とする半導体メモリ装置。

【請求項5】 前記クロックのエッジで前記第1比較制御部の出力を、前記クロックの次のエッジで前記第2比較制御部の出力を前記パッドに伝送する出力マルチプレクサをさらに具備することを特徴とする請求項4に記載の半導体メモリ装置。

【請求項6】 前記第1、第2比較制御部は、各々、前記第1のDQブロック、前記第2のDQブロックの選択されたメモリセルに書込もうとしたデータと該メモリセルから読み出されたデータとを比較することを特徴とする請求項4に記載の半導体メモリ装置。

【請求項7】 前記第1、第2パイプラインセットの最終段の単位パイプラインセルは、前記テスト時に、各々、前記第1、第2比較制御部から提供される前記第1のDQブロック、前記第2のDQブロックの不良であることを示すエラー信号に応じて、パイプラインテストの初期に設定された前記出力信号のロジックレベルを反転させることを特徴とする請求項4に記載の半導体メモリ装置。

【請求項8】 前記データラインのうち偶数番のデータラインが前記第1群のデータラインであり、前記データラインのうち奇数番のデータラインが前記第2群のデータラインであることを特徴とする請求項4に記載の半導体メモリ装置。

【請求項9】 前記データラインのうち偶数番のデータラインが前記第1群のデータラインであり、前記データラインのうち奇数番のデータラインが前記第2群のデータラインであることを特徴とする請求項4に記載の半導体メモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体メモリ装置に係り、特にデータテスト時間を短縮することができるパイプライン構造の半導体メモリ装置に関する。

【0002】

【従来の技術】半導体メモリ装置は多数のメモリセルから構成される。このようなメモリセルのうち一つのメモリセルでも正しく動作しなければ、半導体メモリ装置は正常に動作しない。半導体メモリ装置の集積度が増加するにつれ、メモリセルに誤動作が生じる確率が高くなっている。半導体メモリ装置が不良セルを有するか否かは、テストを通じて判断される。半導体メモリ装置のテスト方法としては、ビット単位でテストする方法と並列ビットテスト方法などがある。

【0003】一方、半導体メモリ装置の高性能化と高速化の中でラムバスDRAMが開発された。ラムバスDRAMは、メモリセルアレイから一度に多量のデータを読み出して保存し、その後、クロック周波数で高速に外部にデータを送り出す方式で動作する。このようなデータ伝送方法は、パイプライン構造を使用して実現される。図1は従来のパイプライン構造を示す。

【0004】図1のパイプライン構造では、多数の単位

パイプラインセル（以下、「単位パイプラインセル」を「UPL」と称する）110、111、112、…、117が直列に連結されている。各UPL110、111、112、…、117は、制御信号WRTPPIPE、WRTPPIPE_B、LOAD、LOAD_B及びクロック信号TPCLK、TPCLK_Bに応じて現在のデータを次段のUPLに伝達しつつ、前段のUPLのデータをラッチする。このようなパイプライン構造では、設定されたデータビットRD<0>、RD<1>、…、RD<7>のデータを多段のUPLを通じて順にパッドDQ0に送り出す一連の動作が行われる。

【0005】図2は、図1のパイプライン構造におけるタイミング図である。通常のDRAM動作と同じように、ローアドレスRADR及びコラムアドレスCADRに応じてメモリセルの読出しデータがデータラインRD<7:0>上に現れる。その後、ロジック「ローレベル」のパイプライン書込み信号WRTPPIPE及びデータラッチ信号LOADとによって決定されるパイプラインデータ読出し状態で、クロック信号TPCLKのエッジごとに、読み出されたメモリセルデータRD<0>、RD<1>、…、RD<7>が順に出力される。

【0006】ところで、このようなパイプライン構造から出力されるデータは、クロック信号TPCLKに応じて全ビットが出力されるまで、そのデータの良否を判定することができない。すなわち、ビット単位でテストがなされる。そして、ここでは、8つのデータRD<0>、RD<1>、…、RD<7>をテストするために8つのクロック信号TPCLKのエッジを必要とする。しかし、パイプライン構造を有するラムバスDRAMは、複数のデータラインから構成されるので、一つのラムバスDRAMをテストするために多数のクロックTPCLKサイクルを必要としテスト時間が長くなる。そして、ラムバスDRAMが1月に数百万ずつ大量生産されると、ラムバスDRAMをテストするためにかかる時間も途方もなく延びる。このようなテスト時間はテストコストを増加させ、結果として生産性を落とすことになる。

【0007】従って、パイプライン構造を有する半導体メモリ装置のテスト時間を短縮できる方法が回避的に要求される。

【0008】

【発明が解決しようとする課題】本発明の目的は、テスト時間を短縮することができるパイプライン構造の半導体メモリ装置を提供することにある。

【0009】

【課題を解決するための手段】前記目的を達成するために本発明の1つの態様は、クロックに同期して動作する、複数のメモリセルを含むDQブロック内で選択されるメモリセルのデータがデータラインを通じてパッドに順に出力されるパイプライン構造を有する半導体メモリ装置において、データラインの各々に連結されてデータ

ライン上のデータをラッチする単位パイプラインセル（UPL）が多数直列に連結されており、前段のUPLのデータを後段のUPLに伝送する方式でデータライン上のデータをパッドに順に送り出すパイプラインと、テスト時にパイプラインの最終段のUPLに連結されてデータライン上のデータの良否をテストして生じる出力信号をパッドに連結させる比較制御部とを具備し、クロックのエッジでDQブロックの良否を検証する。

【0010】前記目的を達成するために本発明の他の態様は、クロックに同期して動作する、複数のメモリセルを含むDQブロックを多数有し、DQブロック内で選択されるメモリセルのデータがデータラインを通じてパッドに順に出力されるパイプライン構造を有する半導体メモリ装置において、データラインの各々に連結されてデータライン上のデータをラッチするUPLと、データラインのうち第1群のデータラインに連結されたUPLが多数直列に連結され、前段のUPLのデータを後段のUPLに伝送して第1群のデータライン上のデータを順に送り出す第1パイプラインセットと、データラインのうち第2群のデータラインに連結されたUPLが多数直列に連結され、前段のUPLのデータを後段のUPLに伝送して第2群のデータライン上のデータを順に送り出す第2パイプラインセットと、テスト時に第1パイプラインセットの最終段のUPLに連結されてDQブロックのうち第1のDQブロックから提供される前記データライン上のデータの良否をテストする第1比較制御部と、テスト時に第2パイプラインセットの最終段のUPLに連結されてDQブロックのうち第2のDQブロックから提供されるデータライン上のデータの良否をテストする第2比較制御部とを具備する。

【0011】このような発明によれば、パイプライン構造においてDQブロックのデータライン上のデータをテストする時、パイプライン構造の最終段に連結された比較制御部を通じて一つのクロック信号エッジだけを使ってデータの良否をテストすることができるため、テスト時間を大幅に短縮することができる。さらに、一つのDQブロックのパイプラインに連結される一つのパッドを通じて2つのDQブロックのデータをテストすることにより、テスト時にパッドと連結する外部テストのドライバを節約することができる。そして、多数のパッドを節約することにより、これらのパッドと連結されていたテストのドライバを他の用途に使用することができ、テストの効率が増大する。

【0012】

【発明の実施の形態】本発明と本発明の動作上の利点及び本発明の実施により達成される目的を十分に理解するためには本発明の望ましい実施形態を例示する添付図面及び図面に記載された内容を参照する。

【0013】以下、添付した図面を参照して本発明の望ましい実施形態を説明することにより、本発明を詳細に

説明する。各図面に対し、同じ参照符号は同じ部材であることを示す。

【0014】ここでは、最近よく使われているラムバスDRAMについて説明する。ラムバスDRAMは、一般的に、行方向に多数のバンクが配列され、各バンクの列方向で一群のデータラインが共有されるDQブロックから構成される。図3に図示されているラムバスDRAMは、2つのDQブロックグループDQA、DQBで構成され、DQブロックグループDQA、DQBの各々は、8つのDQブロックDQA0～DQA7、DQB0～DQB7で構成される。DQブロックDQA0、DQA1、…、DQA7、DQB0、DQB1、…、DQB7から提供される8本のデータラインは、インタフェースロジックを通じてパイプライン方式でパッドDQ0、DQ1、…、DQ15に連結される。ここで、各DQブロックDQA0、DQA1、…、DQA7、DQB0、DQB1、…、DQB7から提供されるデータラインの数は、ラムバスDRAMのメモリ構成に応じて設計され得る。

【0015】図4は、本発明の好適な実施形態としての図3のインタフェースロジックの一部、具体的にはDQA0ブロックに対応するパイプライン構造を示す図面である。DQA0ブロックから選択されたメモリセルから読み出されたデータは、8本のデータライン(RD<7:0>)を通じてパイプライン構造2に伝送される。

【0016】パイプライン構造2では、一種のデータフリップフロップのように動作する多数のUPL10、11、12、…、17が直列に連結されている。UPL10、11、12、…、17は、各データラインRD<7:0>上に伝送されたメモリセルデータを制御信号WRTPPIPE、WRTPPIPE_B、LOAD、LOAD_B、TPCLK、TPCLK_Bに従ってラッチする。直列に連結された多数のUPL10、11、12、…、17は二つのグループに分けられている。すなわち、偶数番のデータラインRD<0>、RD<2>、RD<4>、RD<6>に連結されたUPL10、12、14、16で構成される第1UPLグループと、奇数番のデータラインRD<1>、RD<3>、RD<5>、RD<7>に連結されたUPL11、13、15、17で構成される第2UPLグループの二つのグループである。第1UPLグループ(10、12、14、16)と第2UPLグループ(11、13、15、17)の最終段のUPL10、11には、前段の他のUPL12、13、14、15、16、17とは違い、比較制御部20、30が各々連結されている。そして、UPL10、11の出力データは、出力マルチプレクサOUTMUX40を通じてパッド50に出力される。

【0017】一般的なパイプライン構造の動作、すなわち、各段においてクロック信号に応じて現在のデータを次段に伝達させつつ前段のデータをラッチする動作を繰

り返して、これにより、設定されたデータビットを順に送り出す一連の動作が図4でも同様に実行される。すなわち、第1UPLグループ(10、12、14、16)は、クロック信号TPCLKに応じて、出力マルチプレクサOUTMUX40に直結されたUPL10のデータを最初に出力し、次にUPL12のデータ、UPL14のデータを順に出力し、最後にUPL16のデータを出力する。同じように、第2UPLグループ(11、13、15、17)は、クロック信号TPCLKに応じて、最初にUPL11のデータを出力し、次にUPL13のデータ、UPL15のデータを順に出力し、最後にUPL17のデータを出力する。

【0018】ここで、第1UPLグループ(10、12、14、16)をクロック信号TPCLKの立下がりエッジに従って動作するように設定し、第2UPLグループ(11、13、15、17)をクロック信号TPCLKの立上がりエッジに従って動作するように設定する。また、出力マルチプレクサ40からは、クロック信号TPCLKの立下がりエッジ及び立上がりエッジに各々応答して、UPL10のデータ、UPL11のデータ、UPL12のデータ、UPL13のデータ、UPL14のデータ、UPL15のデータ、UPL16のデータ、UPL17のデータが順にパッド50に出力されるように制御する。このような動作は、前述した図2と同一である。

【0019】再び、図4を参照すれば、第1UPLグループ(10、12、14、16)と第2UPLグループ(11、13、15、17)の最終段のUPL10、11には、前段の他のUPL12、13、14、15、16、17とは違い、比較制御部20、30が各々連結されている。UPL10に連結された比較制御部20は、比較チェックイネーブル信号RD_MATCH_ENABLEに応じて、DQA0ブロックに書込もうとした書込みデータWDA0<7:0>と当該書込みデータについての書込み動作の後にDQA0ブロックから読み出された読出しデータRDA0<7:0>とを比較器21において比較し、その結果としてエラー信号ERRA0を出力する。比較チェックイネーブル信号RD_MATCH_ENABLEは、インバータ22を通して2入力NANDゲート23の一方の入力に提供され、2入力NANDゲート23の残りの入力にはテストモード信号MODEが提供される。エラー信号ERRA0は、UPL10に対して第1比較信号CMPNとして提供され、2入力NANDゲート23の出力は、UPL10に対して第2比較信号CMPNとして提供される。

【0020】この比較制御部20の動作は次の通りである。まず、パイプライン2の上のデータをテストするためのテストモード信号MODEがロジック「ローレベル」であり、比較チェックイネーブル信号RD_MATCH_ENABLEがロジック「ハイレベル」にアクテ

ィブされる時、比較器21は、書込みデータWDA0<7:0>と読出しデータRDA0<7:0>に対して排他的論理和XOR動作を行い、書込みデータWDA0<7:0>と読出しデータRDA0<7:0>とが同一ならばロジック「ローレベル」のエラー信号ERR_{A0}を出力する。これは書込もうとしたデータ値がメモリセルに書込まれてそのまま読み出されるものであり、メモリセルに不良がないことを意味する。

【0021】一方、書込みデータWDA0<7:0>と読出しデータRDA0<7:0>とが一つでも違えば、比較器21は、ロジック「ハイレベル」のエラー信号ERR_{A0}を出力する。これは書込もうとしたデータ値の何れか一つがメモリセルに誤って書込まれたか、誤動作によって誤ったデータが読出されたこと、すなわちメモリセルまたは内部回路動作上に不良があるということを意味する。この後、エラー信号ERR_{A0}はクロック信号TPCLKの立下がりエッジでパッド50に出力される。

【0022】従って、比較制御部20は、DQA0ブロックからデータラインRDA0<7:0>に提供されるデータの良否をパイプライン構造2を経ずに直ちにパッド50に出力することができる。その結果、パイプライン構造2においてデータライン(図1のRD<7:0>)上のデータの良否をテストするにあたり、従来はビット単位別テストにより8つのクロックエッジ(図2)が必要であったのに対して、比較制御部20をパイプライン構造2の最終段に連結させる本発明の構造では一つのクロックエッジだけが必要である。すなわち、本発明のパイプライン構造2によればテスト時間を大幅に短縮することができる。

【0023】UPL11に連結された比較制御部30の動作は、前述した比較制御部20とほとんど同一である。ただし、比較制御部20がDQA0ブロックから提供されるデータをテストするに対して、比較制御部30はDQA1ブロックから提供されるデータをテストするという点では差がある。比較制御部30は、DQA1ブロックに書込もうとした書込みデータWDA1<7:0>とDQA1ブロックから読み出された読出しデータRDA1<7:0>とを比較器31において比較し、その結果としてエラー信号ERR_{A1}を出力する。エラー信号ERR_{A1}は、クロック信号TPCLKの立上がりエッジでパッドDQ1に伝えられる。

【0024】ここで、DQA0ブロックのエラー信号ERR_{A0}とDQA1ブロックのエラー信号ERR_{A1}は、出力マルチプレクサ40を通じて一つのパッド50(DQ0)に伝えられる。すなわち、従来のパイプライン構造では、一つのDQブロックデータが一つのパッドを通じて各々出力されてテストされるのに対して、本発明では、比較制御部30が、DQA0ブロックのパイプラインに割り当てられた一つのパッドDQ0を利用

して、2つのDQブロックDQA0、DQA1のデータをテストする。したがって、本発明によれば、テスト時にパッドDQ1と連結するための外部テストのドライバを設ける必要がない。本発明によれば、このような方法で多数のパッドを節約することができ、従来これらのパッドと連結されていたテストのドライバを他の用途に使用することが可能になり、テストの効率が増大する。

【0025】図6は、このようなテスト時の動作を示すタイミング図である。一般的なDRAMの動作のように、外部制御信号/RAS、/CAS、/WE、CLK、ADDR(図示せず)に応じて設定されるローアドレスRADR及びコラムアドレスCADRに対応するメモリセルにデータWD<7:0>が書込まれ、その後、当該メモリセルに保存されたデータRD<7:0>が読み出される。その後、比較チェックイネーブル信号RD_MATCH_ENABLEのロジック「ハイレベル」への活性化にตอบสนองして、DQA0ブロックのエラー信号ERR_{A0}及びDQA1ブロックのエラー信号ERR_{A1}が出力される(①)。その後、クロック信号TPCLKの立下がりエッジ(②)においてエラー信号ERR_{A0}によるDQA0ブロックの良否、クロック信号TPCLKの立上がりエッジ(③)においてエラー信号ERR_{A1}によるDQA1ブロックの良否を示すロジックレベルがパッドDQ0に伝達される。

【0026】このような動作を図5のUPL10の具体的な回路を参照して説明する。UPL10は、通常動作時は、制御信号WRTPPIPE、WRTPPIPE_B、LOAD、LOAD_B、TPCLK、TPCLK_Bに応じて、データラインRD<0>のデータ、又は、連続するUPL10、12、14、11、13、15における前段のUPL12から提供されるパイプライン出力PIPEを出力信号OUTに伝送する。そして、UPL10は、テスト時は、エラー信号ERR_{A0}、ERR_{A1}に各々連結された第1比較信号CMPN、第2比較信号CMPN_Pに応じてDQA0ブロックのデータラインRDA0<7:0>のデータの良否を示す。

【0027】まず、テスト時のUPL10の動作を説明する。第2比較信号CMPN_Pは、テストモード信号MODEのロジック「ハイレベル」の活性化及び比較チェック信号RD_MATCH_ENABLEのロジック「ローレベル」の非活性化に応じてロジック「ローレベル」になる。これによりトランジスタTP1が「ターンオン」してノードNAをロジック「ハイレベル」にプリチャージする。これはパイプラインテストにおける初期化であり、ノードNAのロジックレベルがパッドDQ0に伝えられてロジック「ハイレベル」が出力される。

【0028】その後、比較チェックイネーブル信号RD_MATCH_ENABLEのロジック「ハイレベル」への活性化に応じて、第2比較信号CMPN_Pはロジック「ハイレベル」になってトランジスタTP1が「ターン

オフ」するが、以前のロジック「ハイレベル」はラッチLAT1により維持される。そして、DQA0ブロックに不良がない場合には、ロジック「ハイレベル」の比較チェックイネーブル信号RD_MATCH_ENABLEに応じて比較器(図4の21)から提供される、DQA0ブロックに不良がないことを示すエラー信号ERRA0のロジック「ローレベル」によりトランジスタTN1が「ターンオフ」状態に維持されるので、ノードNAはロジック「ハイレベル」を維持する。そして、ノードNAのロジック「ハイレベル」は、データラッチ信号LOADのロジック「ハイレベル」及びクロック信号TPCLKの立下がりエッジに応じて出力信号OUTに伝えられる。ロジック「ハイレベル」の出力信号OUTは、出力マルチプレクサOUTMUXを通してパッドDQ0に伝えられる。このとき、パッドDQ0は、パイプラインテストの初期時に設定されたロジック「ハイレベル」を維持する。これにより、DQA0ブロックに不良がないことが確認される。

【0029】一方、DQA0ブロックに不良がある場合には、DQA0ブロックに不良があることを示すロジック「ハイレベル」のエラー信号ERRA0と連結された第1比較信号CMPNに応じてトランジスタTN1が「ターンオン」し、ノードNAがロジック「ローレベル」に変化する。その後、ロジック「ローレベル」のノードNAは、データラッチ信号LOADのロジック「ローレベル」及びクロック信号TPCLKの立下がりエッジに応じて出力信号OUTに伝えられる。従って、パッドDQ0に伝えられるロジック「ローレベル」は、パイプラインテストの初期時に設定されたロジック「ハイレベル」を反転させた値となる。これにより、DQA0ブロックに不良があることが確認される。

【0030】次に、UPL10におけるパイプライン構造の動作を説明する。データラインRD<0>のデータは、パイプライン書込み信号WRTPPIPE及びデータラッチ信号LOADのロジック「ハイレベル」への活性化に応じて出力信号OUTに伝送される。すなわち、パイプライン書込み信号WRTPPIPEのロジック「ハイレベル」にตอบสนองする伝送ゲートTG1を通じて、データラインRD<0>のデータがノードNAに伝送される。ラッチLAT1によりノードNAはデータラインRD<0>のデータロジックレベルに維持され、ノードNBはそのロジックレベルを反転させたロジックレベルとなる。ノードNBのロジックレベルは、「ハイレベル」のデータラッチ信号LOADにตอบสนองする伝送ゲートTG2を通じて、ノードNCに伝えられる。この時、パイプライン出力PIPEと連結する伝送ゲートTG5は「ターンオフ」しているので、パイプライン出力PIPEはノードNCに伝えられない。ノードNCのロジックレベルは、インバータINV1により反転されてノードNDに伝えられる。その後、ノードNDのロジックレベルは、

クロック信号TPCLKの立下がりエッジにตอบสนองする伝送ゲートTG3を通じてノードNEに伝えられ、ノードNE及びそのロジックレベルを反転させたロジックレベルのノードNFは、ラッチLAT2によりそのロジックレベルが各々ラッチされる。ノードNFのロジックレベルは、クロック信号TPCLKの立上がりエッジにตอบสนองする伝送ゲートTG4を通じてノードNGに伝えられ、ノードNGはラッチLAT3によりそのロジックレベルがラッチされ、それを反転させたロジックレベルが出力信号OUTに出力される。すなわち、UPL10は、パイプライン書込み信号WRTPPIPE及びデータラッチ信号LOADのロジック「ハイレベル」への活性化に応じて、更にクロック信号TPCLKの立上がりエッジに応じて、データラインRD<0>のデータを出力信号OUTに伝達する。

【0031】続いて、UPL10は、データラッチ信号LOADのロジック「ローレベル」への非活性化に応じて、前段(UPL12)から提供されるパイプライン出力PIPEを出力信号OUTに伝送する。すなわち、ロジック「ローレベル」のデータラッチ信号LOADに応じて伝送ゲートTG5が「ターンオン」すると共に伝送ゲートTG2が「ターンオフ」して、パイプライン出力PIPEがノードNCに伝えられる。この時、データラインRD<0>のデータは、パイプライン書込み信号WRTPPIPEのロジック「ハイレベル」にตอบสนองする伝送ゲートTG1が「ターンオン」することによりノードNBに伝えられるが、ロジック「ローレベル」のデータラッチ信号LOADにより伝送ゲートTG2が「ターンオフ」しているためノードNCには伝えられない。ノードNCに伝えられたパイプライン出力PIPEは、インバータINV1を通じてノードNDに伝えられ、ノードNDはクロック信号TPCLKの立下がりエッジにตอบสนองする伝送ゲートTG3とラッチLAT2を通じてノードNFに伝えられる。ノードNFのロジックレベルは、クロック信号TPCLKの立上がりエッジにตอบสนองする伝送ゲートTG4とラッチLAT3を通じて出力信号OUTに出力される。すなわち、UPL10は、データラッチ信号LOADのロジック「ローレベル」への非活性化に応じて、前段から提供されるパイプライン出力PIPEを出力信号OUTに伝送する。

【0032】上記のように、第1UPLグループ(10、12、14、16)に属するUPL10は、ロジック「ハイレベル」のパイプライン書込み信号WRTPPIPEに従ってラッチされるデータラインRD<0>上のデータをデータラッチ信号LOADがロジック「ハイレベル」である時に、クロック信号TPCLKの立上がりエッジに応じて出力信号OUTに送り出す。一方、第1UPLグループ(10、12、14、16)に属するUPL10は、データラッチ信号LOADがロジック「ローレベル」である時に、パイプライン出力信号PIPE

をクロック信号TPCLKの立上がりエッジに応じて出力信号OUTに送り出す。そして、第1 UPLグループ(10、12、14、16)に属する他のUPL12、14、16もUPL10と同様に動作する。

【0033】そして、第2 UPLグループ(11、13、15、17)に属するUPL11、13、15、17は、クロック信号TPCLKの立下がりエッジに応じて、データラインRD<1>、RD<3>、RD<5>、RD<7>のデータ、またはパイプライン出力PIPEを出力するという点のみ、第1 UPLグループ(10、12、14、16)と異なる。従って、説明の重複を避けるために、UPL11、13、15、17の詳細な動作説明を省略し簡単に説明する。UPL11、13、15、17の各々は、ロジック「ハイレベル」のパイプライン書込み信号WRTPPIPEに従ってラッチされるデータラインRD<1>、RD<3>、RD<5>、RD<7>上のデータをデータラッチ信号LOADがロジック「ハイレベル」である時にクロック信号TPCLKの立下がりエッジに応じて出力信号OUTとして出力し、データラッチ信号LOADがロジック「ローレベル」である時に前段のUPLから伝えられるパイプライン出力信号PIPEをクロック信号TPCLKの立下がりエッジに応じて出力信号OUTとして出力する。従って、通常のパイプライン構造の動作(図2)が本発明のパイプライン構造でも行われる。

【0034】本発明の好適な実施の形態によれば、クロックに同期して動作する、複数のメモリセルを含むDQブロック内で選択されるメモリセルのデータがデータラインを通じてパッドに順に出力されるパイプライン構造を有する半導体メモリ装置において、データラインの各々に連結され該データライン上のデータをラッチするUPLが多数直列に連結され、前段のUPLデータを後段のUPLデータに伝送する方式でデータライン上のデータをパッドに順に送り出すパイプラインと、テスト時に

パイプラインの最終段のUPLに連結されて、データライン上のデータの良否をテストして生じる出力信号をパッドに連結させる比較制御部とを具備し、クロックのエッジでDQブロックの良否を検証することにより、テスト時間を短縮することができる。

【0035】本発明を図面に示した実施形態を参考に説明したが、これは例示に過ぎず、本技術分野の通常の知識を持った者ならばこれから多様な変形及び均等な他の実施形態が採用され得ることを理解することができる。従って、本発明の真の技術的保護範囲は特許請求範囲の技術的思想に基づいて定められるべきである。

【0036】

【発明の効果】本発明によれば、パイプライン構造の半導体メモリ装置のテスト時間を短縮することができる。

【図面の簡単な説明】

【図1】従来のパイプライン構造を示す図面である。

【図2】図1のパイプライン構造の動作タイミング図である。

【図3】本発明の好適な実施形態のパイプライン構造を含む半導体メモリ装置を概略的に示す図面である。

【図4】本発明の好適な実施形態による図3の半導体メモリ装置のインタフェースロジックの一部であるパイプライン構造を示す図面である。

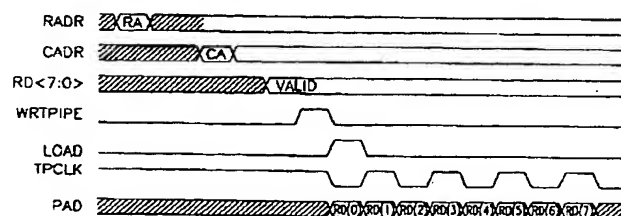
【図5】図4のUPLを示す図面である。

【図6】図4のパイプライン構造の動作タイミング図である。

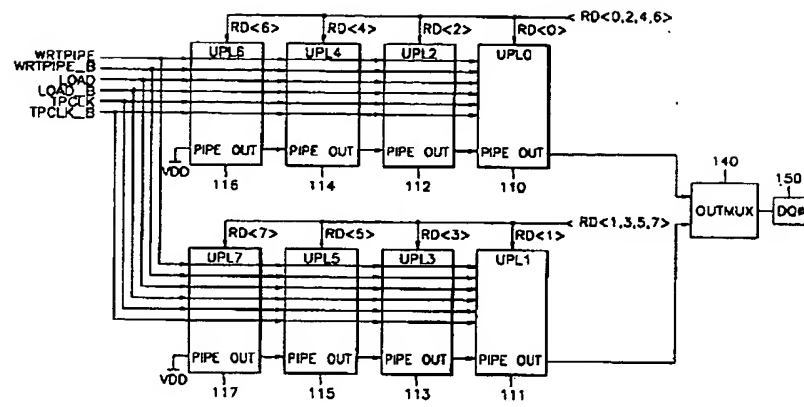
【符号の説明】

- 10、12、14、16 第1 UPLグループ
- 11、13、15、17 第2 UPLグループ
- 20、30 比較制御部
- 21 比較器
- 22 インバータ
- 23 2-入力ナンドゲート

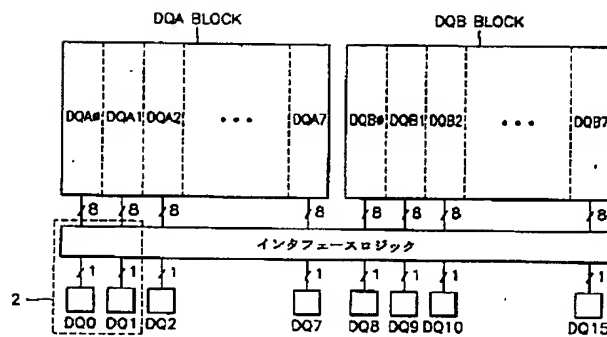
【図2】



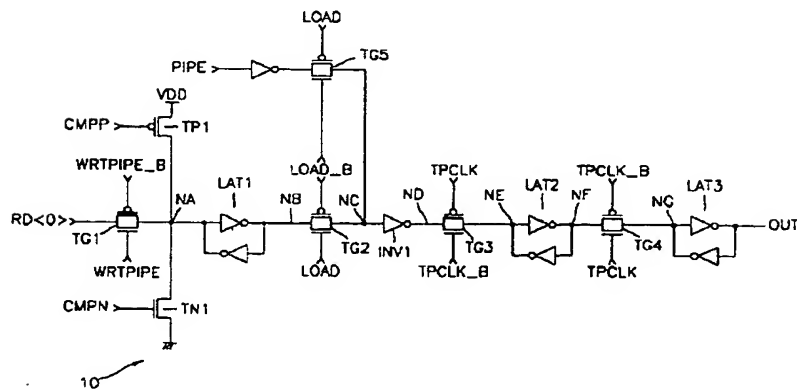
【図 1】



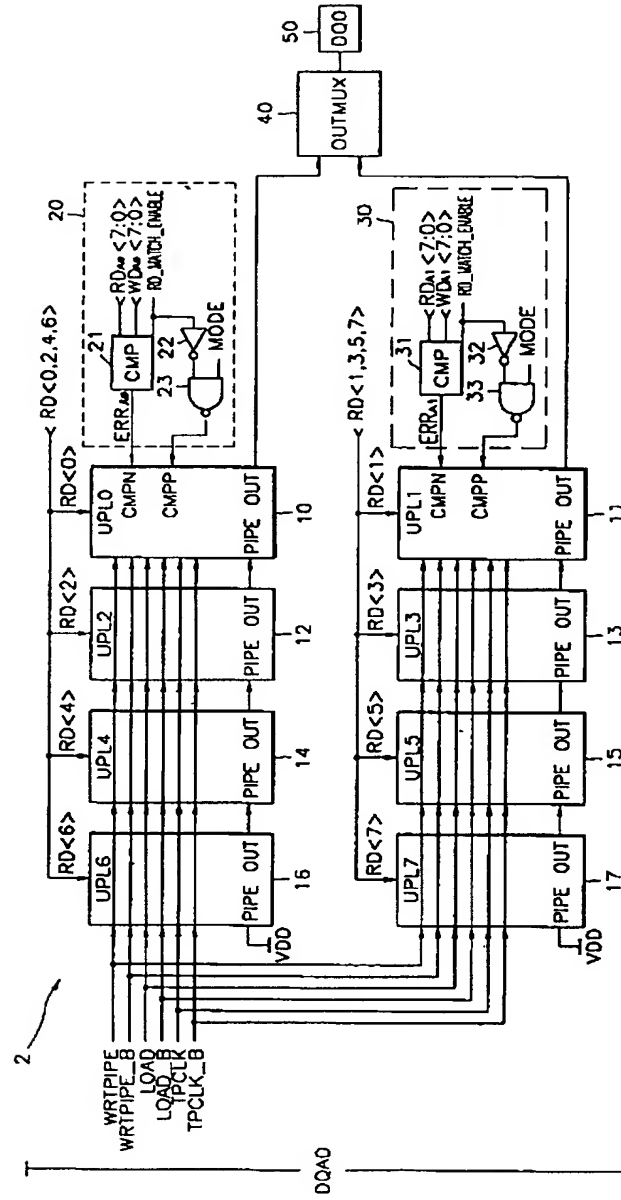
【図3】



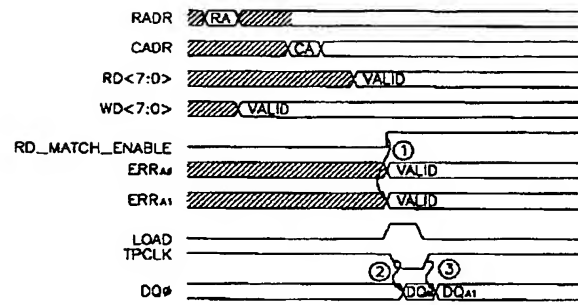
【図5】



【図4】



【図6】



대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0066919
Application Number PATENT-2002-0066919

출원년월일 : 2002년 10월 31일
Date of Application OCT 31, 2002

출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.

2002 년 12 월 03 일

특 허 청

COMMISSIONER

